第3章 PIPEのインターフェース設計徹底解剖

PHYチップを使うために避けては通れない

福田光治

本稿では，低コストのアドイン・カード（エンドポイント）などで利用されるPHYチップを使うために必要なPIPEについて，基礎から説明する．ボードやFPGAにおいて，PIPEがどのように設計し，実装されているか，実際の基板を用いて詳しく解説する．（編集部）

現在，組み込みシステムや産業機器の分野では，2008年の製品化へ向けてPCI Expressインターフェースを備えた製品の開発が数多く進められています．特にx1/x4リンクのアドイン・カードなどといった安価で低消費電力のシステムで採用されるエンドポイント製品（**表1**）は，PHYチップとFPGAなどを用いた2チップ構成で実現できます．

1 PHYチップのメリット/デメリット

PCI ExpressインターフェースをPHYチップで実現する場合，2.5Gbpsのシリアル・インターフェースとPIPE（PHY Interface for the PCI Express Architecture）という2種類のインターフェースを確立する必要があります（**図1**，**図2**）．PIPEは，PHYチップとバックエンド回路（FPGAなど）とを接続するクロック同期のパラレル・インターフェースです．このように多数の高速信号を扱うシステムにおいては，設計ノウハウや開発コスト，消費電力などさまざまな問題が存在します．実際に2チップで構成した場合のメリットとデメリットを次に記します．

1）PHYチップを用いるメリット

- PHYチップ（ASSP：Application Specific Standard Product）を用いることで消費電力を抑制可能
- 上位層（MAC/トランザクション/データ・リンク）デバイスを幅広く選択可能
- BeaconやSpread Spectrum ClockなどPCI Express規格専用機能に対応可能
- 1レーンあたり20～30ドル程度のコストで実現可能
  例えば，FPGA＋PHYでは10ドル/レーン，FPGAのみでは20ドル/レーン
- 標準インターフェースであるPIPEを用いることにより，上位層デバイスをFPGAからASIC（Application Specific Integrated Circuit）へシームレスに移行可能

2）PHYチップを用いた場合のデメリット

- パラレル・インターフェースの設計の難易度化（ネット数の増加）と部品点数の増加
- 電源系統の増加
- 実装面積の増大（1チップ構成と比べて2チップ構成の方が必要な面積が大きい）

2チップ構成では，FPGAの規模やI/Oピンの数に幅広い選択肢があります．必要なインターフェースや実現するアプリケーションに柔軟に対応できます．その反面，1チップの場合には必要ないPIPEによって基板面積が増大し，パターン設計が難しくなります．

2 PIPEインターフェースの基本

● PIPEインターフェースとは

PIPEとは，**図1**で示したように，PCS（Physical

KeyWord
PCI Express，PHYチップ，PIPE，PXPIPE，TI-PIPE，エンドポイント，アドイン・カード，SSTL，トポロジ，伝送線路シミュレーション，FPGA，ソフトIPコア

表1　PCI Expressトポロジ構成要素

エンドポイントは，x1/x4リンクのアドイン・カードなどの安価で低消費電力なシステムで採用される．PHYチップとFPGAを用いた2チップ構成で実現する場合が多い．

項　目	概　要
ルート・コンプレックス	I/O構造の最上位階層デバイス．CPUやメモリ・サブシステムをI/Oとして接続．
スイッチ	複数のPCI Expressポートを接続し，ポート間でのルーティングやレイテンシ管理を行うデバイス．
ブリッジ	レガシPCIシステムへの接続など，デバイス相互接続性を確立．
エンドポイント	タイプ00hコンフィグレーション空間ヘッダを有するデバイス．末端のモジュールとしてルート・コンプレックスやスイッチに接続される．

Coding Sublayer)の機能を搭載したPHYチップと，MAC層(Media Access Control Layer)機能を搭載したFPGAやASICの間を接続するための標準インターフェースです．PIPEの確立により，エンドポイント・デバイスを開発するASICベンダやMAC層のIP(Intellectual Property)コアを提供するIPコア・ベンダなどは共通した伝送プロトコルのもと，開発できます．またFPGAからASICへの移行や，FPGAのデバイス変更などをシームレスに行えます．

● PIPEの電気特性は定義されていない

PIPEの伝送は，データがクロックに同期したソース・シンクロナス転送方式を用います．PIPEには大別して四つの信号グループ(データ信号，コマンド信号，ステータス信号，クロック信号)が存在します．各信号を図2に示します．

実はPIPE信号には，直流特性が定義されていません．PHYチップやASICなどによって使用する電気的なI/O規格は変わってきます．一般的には2.5V電源電圧ベースのSSTL-II Class I規格(DDR SDRAMインターフェースと同じ)が用いられます(図3)．SSTL-18や1.5V/1.8Vベースのインターフェースを用いる製品もあります．(p.47へ続く)

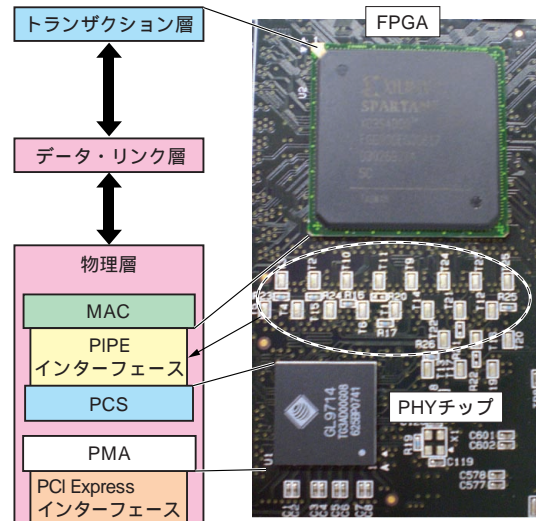



図1　PCI Expressを2チップで構成した例

PCI Expressの3層構造のうちPHYで実現する部分とそれより上の上位層を表す．PHYチップとFPGAとの間の配線グループがPIPEとなる．

信号名	ビット幅	方向	概　要	周波数
TxDATA	8または16	入力	PHYデバイスへのパラレル・データ入力	125MHzまたは250MHz
RxDATA	8または16	出力	PHYデバイスからのパラレル・データ出力	125MHzまたは250MHz
TxDATAK	1または2	入力	TXDATAがデータなのかコントロール信号なのかを示す入力	125MHzまたは250MHz
RxDATAK	1または2	出力	RXDATAがデータなのかコントロール信号なのかを示す出力	125MHzまたは250MHz
COMMAND	7	入力	PHYへの動作コマンド制御用入力 (TxDetectRx/Loopback，TxElecIdle，TxCompliance，RxPolarity，Reset#，PowerDown[1：0])	－
STATUS	6	出力	PHYからのステータス通知用出力 (RxValid，PhyStatus，RxElecIdle，RxStatus[2：0])	－
PCLK	1	出力	同期パラレル信号のクロック出力(立ち上がり同期)	125MHzまたは250MHz

図2
PIPEインターフェースの概要

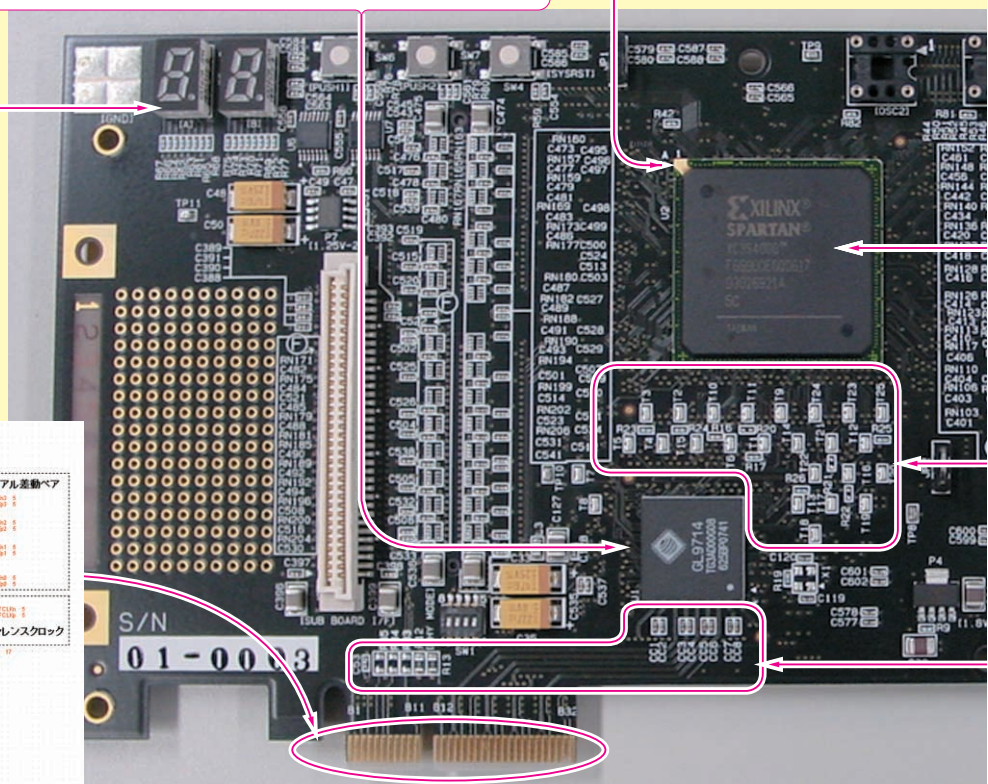
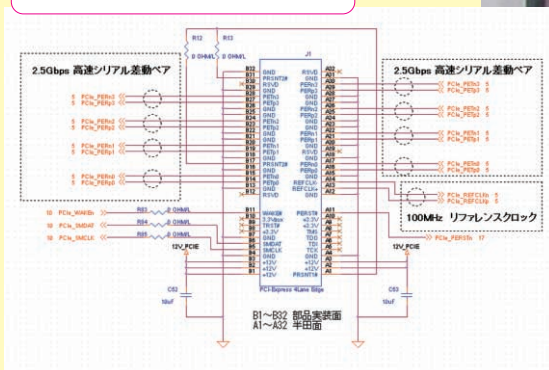
PHYチップとMAC層間に接続されるPIPE信号を表す．PIPEはデータ信号，コマンド信号，ステータス信号，クロックに大別できる．また，表は各信号についての特徴を説明している．

PCI Expressアドイン・カード解体新書

D：フォーム・ファクタ
- アドイン・カード（CEM Specification）
- Full Size：111.15mm x 312mm
- LowProfile：68.9mm x 167.65mm
- 板厚：1.57mm
- 電力供給
  - +3.3V±9%：最大3A
  - +12V±8%：最大5.5A
  - +3.3Vaux±9%：最大375mA
- 実装面高さ規定：14.47mm
- はんだ面高さ規定：2.67mm

B：PHY チップ
（Genesys Technology社 GL9714）
- PIPEインターフェース
- 8b/10b 符号化
- SERDES
- バッファ（FIFO）
- PLL
- クロック再生

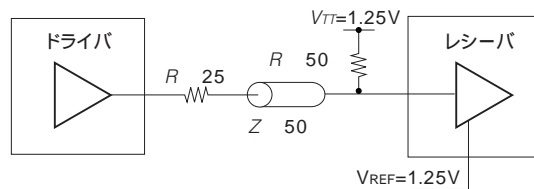
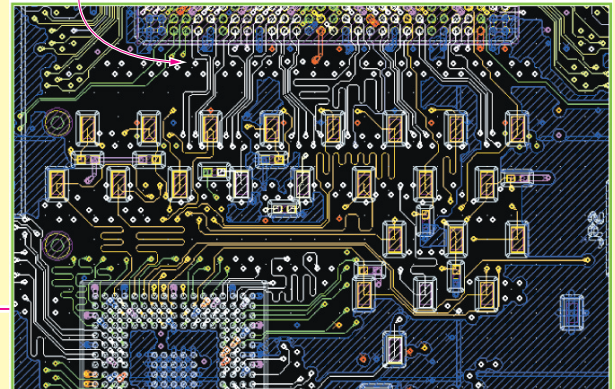
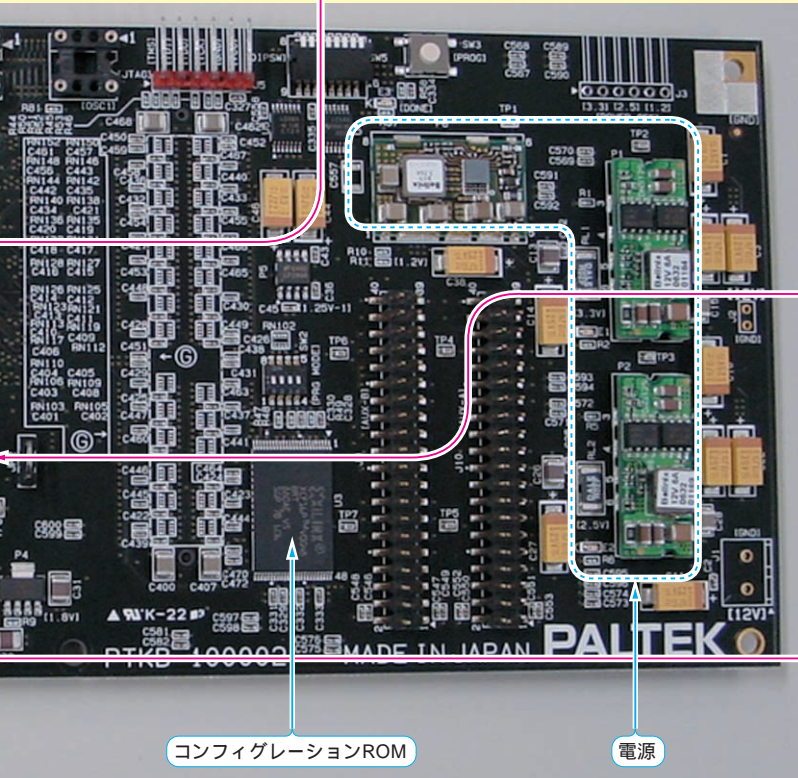
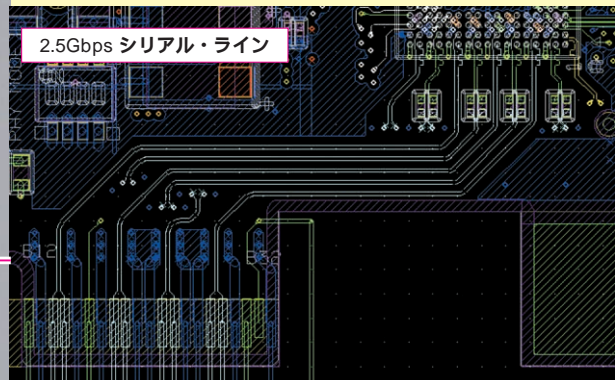
A：Xilinx社の中規模FPGA
（Spartan-3 Xc3S4000-FG900）
- ユーザ・ロジック
- IP コアによる設計
- PIPEインターフェース
- DLL，CPU，RAM，FIFO などのインターフェース

C：PCI Expressエッジ
- 電解金メッキ端子
- 2.5Gbpsシリアル・インターフェース
- 100MHzリファレンス・クロック
- PRSNT, WAKE#
- 3.3Vと12Vの電源供給

図A　アドイン・カード解剖図
PCI Expressエンドポイントとなる×4アドイン・カードの例

図Aで紹介したアドイン・カードの詳細を以下に解説します．また**図A**の機能ブロック図を**図B**に示します．

A：FPGAの役割と概要

米国Xilinx社のSpartan-3を用いた今回のケースでは，PHYチップからPIPEインターフェースを介して伝送されたデータを，PCI Expressエンドポイント用ソフトIPコアによって処理することでPCI Expressリンクを制御します．それにより，フロー制御やパケット化，エラー通知，割り込み挿入など，MAC層を含めた上位層（トランザクション層，データ・リンク層）の機能をすべて実現できます．

バースト転送方式でデータ伝送帯域を確保し，RAMなどにダンピングする必要があるアプリケーションでは，ソフトIPコアのDMA（Direct Memory Access）コントローラを追加することで実現します．また，PIPEのデータ・クロック・タイミングは，FPGA内のDCM（Didgital Clock Manager）が持つ位相シフト機能やIOB（入出力ブロック）内にある遅延エレメントを用いて調整できます（**図C**）．

B：PHYチップの役割と概要

PHYチップは，物理層機能を実現します．PMA（Physical Media Attachment）層では，SERDESを含むアナログ・ブロックが内蔵されており，2.5Gbpsのシリアライズやデータからのクロック再生（CDR：Clock Data Recovery）機能などを実現します．また，PCS層で8b/10b符号化/復号化や，レーン間の位相を補償するためのエラスティック・バッファなどが搭載されています．選択するPHYチップが持つドライブ機能により，PIPE転送時の動作モードが決定され，上位層への転送周波数やビット幅が定義されます．

C：PCI Expressエッジの概要

ホスト・コンピュータ（ルート・コンプレックス・デバイス）との接続のための，電解金メッキ加工されたコネクタ端子です．2.5Gbpsの差動シリアル信号やエンドポイント・デバイスへの100MHzリファレンス・クロックが伝送されます．活線挿抜対応ピン（PRSNT*#）やローパワー・ステート（L2状態）からの復帰用信号（WAKE#）などもアサインされています．

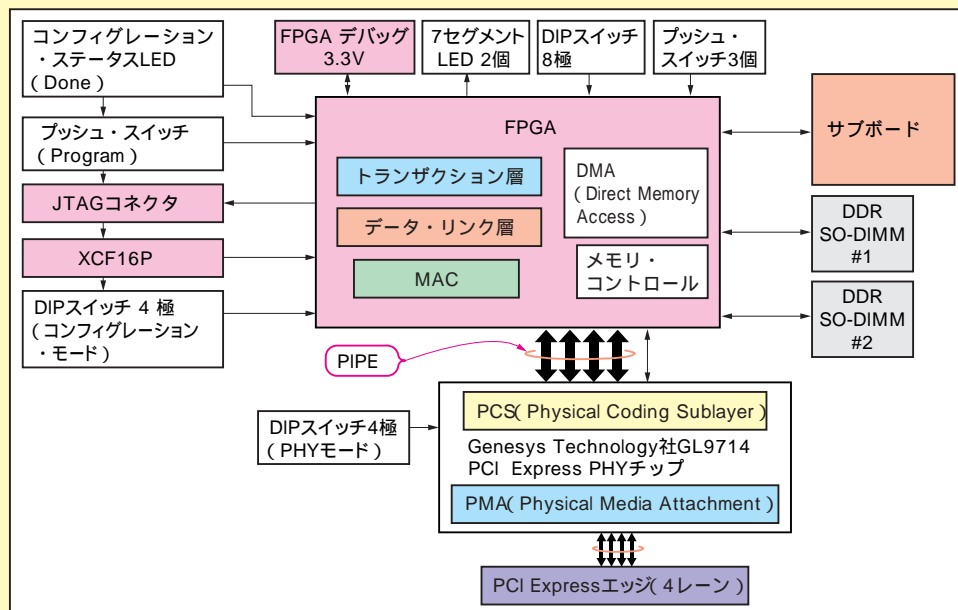
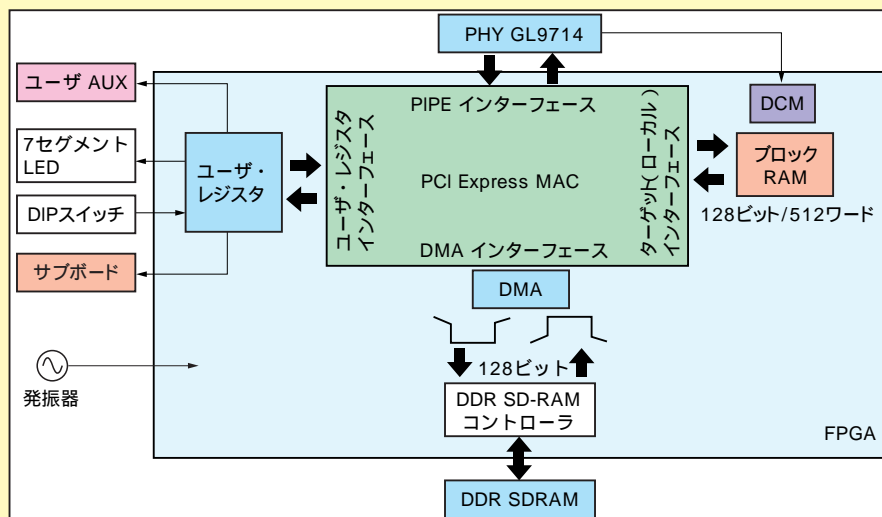
D：フォーム・ファクタの概要

PCI Expressプロトコルには，58以上のフォーム・ファクタが存在します．その中でも，**図A**のようなアドイン・カードの場合，CEM Specificationにより各フォーム・ファクタが定義されています．特にオープン・システムで使用する場合，部品やケーブル，ボードの干渉を防止するためにはこの規定に準拠する必要があります．

E：IPコアによる設計の概要

PCI Expressの設計において，FPGAやASICに搭載するIPコアには，主に物理層のIPコア（PHYチップ機能）と上位層のIPコア（エンドポイント・ブロック機能）が存在します．Xilinx社のVirtex-5 LXT/SXTファミリでは，PCI ExpressのPHY機能としてRocketIO GTPトランシーバを使用できます．エンドポイント・ブロック機能はハード・マクロで内蔵しています．

2チップのハードウェア構成の場合，ソフトIPコアを組み込めます．各IPベンダ（FPGAベンダ，米国NorthWest Logic社や米国PLD Applications社）からPIPEインターフェースの種類（標準PIPE，PXPIPE，TI-PIPEなど）やFPGAの種類に最適化されたソフトIPコアが提供されています．

図B
アドイン・カードの機能ブロックの例

図C
FPGAの役割と概要
アドイン・カードに搭載されたFPGAの機能を示す．特にMAC層の処理とソフトIPコアで実装したDMA，PHYチップの関係を表す．

● PHYチップが提供するPIPEの仕様

以下に各ベンダが供給するPHYチップの特徴について紹介します(表2).

1)GL9711/GL9714

台湾Genesys Logic社のGL9711/9714は，8ビットの動作モードでもPCLKの周波数を125MHzに抑え，DDR転送を用いて帯域を確保していることが特徴です．動作モードを3種類の中から選択でき，最大で×4リンクを確立できます．PIPEの入出力信号は規格の定義に準拠しています．

2)PX1011A/PX1012A

オランダNXP Semiconductors社のPX1011A/PX1012Aは，TX/RXにそれぞれ同期クロックを採用しており，MAC層デバイスとのタイミング調整が容易です．8ビット・モードの動作のみをサポートしているため，ピン数が少なく小型パッケージを実現しているのが特徴です．

3)XIO1100

米国Texas Instruments社のXLO1100は，GL9711/GL9714と同じようにDDR転送を用いることで帯域を確保しているのが特徴です．また，PX1011A/PX1012Aと同じように入出力に異なるクロックを用いています．電源電圧の変更によりI/O規格として1.5Vまたは1.8Vのインターフェースを利用可能です．

3 PIPE設計ガイドライン

● 配線長や遅延に対する制約はPIPEによって異なる

前述したようにPIPEには規格化された電気的特性はありません．従って使用するPHYチップとFPGA/ASICのIO規格に準じた設計をする必要があります．DDRメモリ・インターフェースに代表されるように，高速ディジタル・

項　目	パラメータ	最　小	標　準	最　大	単位
V_{DD}	電源電圧	V_{DDQ}	—	N/A	V
V_{DDQ}	出力電源電圧	2.3	2.5	2.7	V
V_{REF}	入力リファレンス電圧	1.15	1.25	1.35	V
V_{TT}	終端電源	V_{REF} − 0.04	V_{REF}	V_{REF} + 0.04	V
$V_{IH(DC)}$	入力“H”電圧(DC)	V_{REF} + 0.18	—	V_{DDQ} + 0.3	V
$V_{IL(DC)}$	入力“L”電圧(DC)	−0.3	—	V_{REF} − 0.18	V
$V_{IH(AC)}$	入力“H”電圧(AC)	V_{REF} + 0.35	—		V
$V_{IL(AC)}$	入力“L”電圧(AC)	—	—	V_{REF} − 0.35	V
T_{cyc125}注	125MHzクロック・サイクル時間	7.98	8	8.02	ns
T_{cyc250}注	250MHzクロック・サイクル時間	3.99	4	4.01	ns

注：Genesys Logic社 GL9714の場合

図3 SSTL-II電気的特性(8)

入力電圧レベルや振幅の規定など一覧．製品によって特性が変わる場合もあるため，伝送線路解析や接続するデバイスとの電気的適合性を検証する際に確認が必要．

表2 さまざまなPHYチップとPIPEの仕様(4)(5)(6)

名　称		PIPE	PXPIPE	TI-PIPE
対応するPHYチップ		Genesys Logic社製 GL9711/GL9714	NXP Semiconductors社製 PX1011A/PX1012A	Texas Instruments社製 XIO1100
同期クロック		1本のPCLKを用いてすべてのデータをクロッキング	PHYからのRXCLK(PCLK)出力 PHYへのTXCLK入力	PHYからのRXCLK(PCLK)出力 PHYへのTXCLK入力
転送モード	8ビット・モード	125MHz DDR(PCLK両エッジを用いた動作)250MHz SDR	250MHz SDR(RXCLK/TXCLKの立ち上がり同期)	125MHz DDR (RX_CLK/TX_CLKの両エッジを用いた動作)
	16ビット・モード	125MHz SDR(PCLKの立ち上がり同期)	—	125MHz SDR (RX_CLK/TX_CLKの立ち上がり同期)
I/O規格		2.5Vベース SSTL-II Class1	2.5Vベース SSTL-II Class1	1.5V または1.8V (V_{DD_IO}供給電圧によって変更)

インターフェースを設計する際は，事前のトポロジ検討と配線仕様の策定が信号品質やタイミングの確保のために重要です．

1）標準PIPEインターフェース

- PCLK同期のTXデータ・グループおよびRXデータ・グループは等長等遅延配線とする．

2）PXPIPEおよびTI-PIPE

- TXデータ・グループを等長等遅延配線とする．
- RXデータ・グループを等長等遅延配線とする．
- TXグループとRXグループの間の配線長規定はない．

3）SSTL-II I-O規格の伝送線路設計

- SSTL-II I-O規格を用いる場合は出力端にシリーズ抵抗を，終端にプルアップ抵抗を挿入する．
  シリーズ抵抗値＝配線の特性インピーダンス－ドライバの出力インピーダンス＝約25Ω
  プルアップ抵抗値＝特性インピーダンス＝約50Ω

ただし，伝送線路解析ツールを用いてトポロジを検討し，シミュレーションで最適な値を決める必要があります．

4）クロストークと同時スイッチング・ノイズ

PIPEには8ビット動作モード周波数250MHzで1レーンあたり32本，16ビット動作モード周波数125MHzで1レーンあたり50本の配線が存在します．さらに等長等遅延配線指定をした場合，PHYチップと上位層デバイス間にはPIPE配線が集中します．BGA（Ball Grid Array）パッケージのLSI間のレイアウトが重要になります（**図4**）．

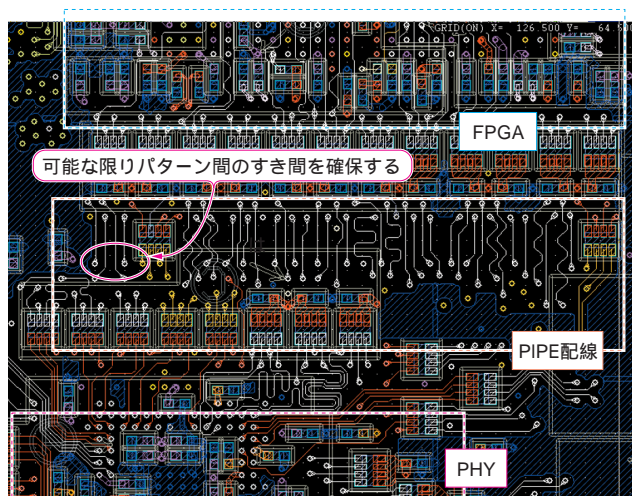



図4　PIPE配線レイアウト
PIPEの配線レイアウト図．実際の配線は層構成や基板サイズなどにより変化するが，配線同士の間隔はクロストークを抑制するために重要である．

PIPEバスの配線を等長にするために，配線経路が蛇行状にならざるを得ない個所がいくつか発生します．ほかの信号との干渉や，PIPEバス内での同時遷移によるスイッチング・ノイズを低減するためには，配線同士のすき間の確保やシールド配線，ガード・グラウンドの設置などを考慮に入れてピン配置や部品配置を検討する必要があります．

● トポロジ設計手法

次に伝送線路解析ツールを用いたPIPEのトポロジ策定と波形シミュレーション結果を，実基板での波形結果と比較して解説します．

図5（b）はトポロジ検討を実施したブロックと250MHzでクロック・パターンを伝送したときの受信端でのポスト・シミュレーション結果です．立ち上がりが若干，鈍っていてリンギングが観測できますが，受信デバイスのDC特性（V_{IH}，V_{IL}）を超えない範囲なので問題ありません．

次に**図5（c）**に実際の基板での実測波形を確認してみます．立ち上がりエッジと立ち下がりエッジの挙動は，ほぼ等価と見ることができます．

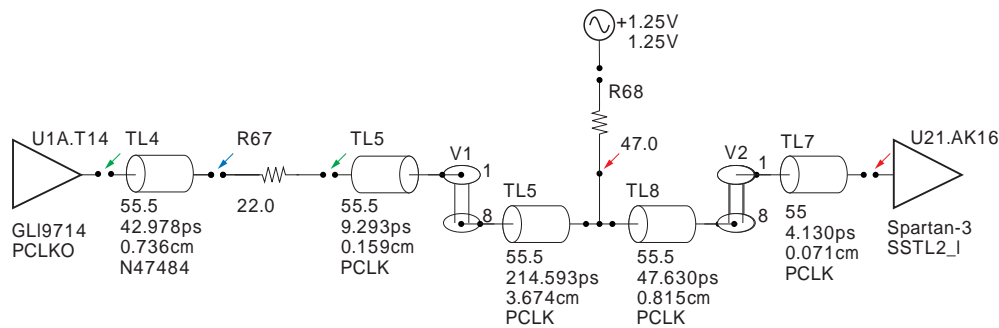
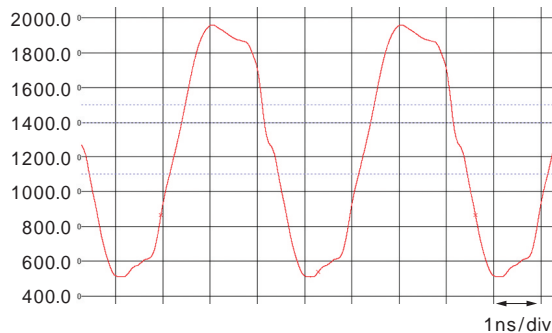
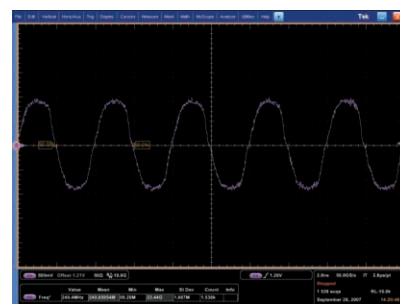
これらの結果から，トポロジ検討結果やポスト・シミュレーション結果を回路設計やアートワーク設計にフィードバックすることにより，実基板の信号品質に関するリスクを低減できます．受信端デバイスの電気的特性へのトレラント（相互接続性）を事前に確認できます．

4　PCI ExpressソフトIPコアの実装例

PCI ExpressのソフトIPコアは，各社から提供されています．設計例としてPLD Applications社が提供するソフトIPコアを例にとって紹介します．専用のGUI（**図6**）を用いて，PCI Expressの各層の設定に必要なパラメータを任意に入力することでIPコアの設計を行います．IPコアの最上位ラッパ・ファイルを生成できます．

この最上位のラッパは，IPコアの各パラメータ情報やポートの宣言，IPコアのインスタンスなどが表記されたソース・ファイルになります（**リスト1**）．このラッパ・ファイルを用いてFPGAに組み込むほかの回路を接続します．Xilinx社のFPGAを用いる場合は，統合設計ツールである「ISE」を用いて論理合成や配置配線を行います．

ソフトIPコアの生成や設計は前述したように専用のGUIや上位階層のラッパ・ファイルをカスタマイズすることに

+1.25V 1.25V
R68
U1A.T14 TL4 R67 TL5 V1 47.0Ω V2 TL7 U21.AK16
TL5 TL8
GLI9714 PCLKO
55.5Ω 42.978ps 0.736cm N47484
22.0Ω
55.5Ω 9.293ps 0.159cm PCLK
55.5Ω 214.593ps 3.674cm PCLK
55.5Ω 47.630ps 0.815cm PCLK
55Ω 4.130ps 0.071cm PCLK
Spartan-3 SSTL2_I

(a) 伝送線路解析モデル

(b) 伝送線路解析結果

(c) 実波形観測結果

図5
トポロジ解析と実波形の比較
(a) はPIPE信号の配線トポロジを等価回路で表現している．(b) はIBISモデルを用いた伝送線路解析結果で，250MHzの信号を伝送した場合の受信端波形のシミュレーション結果になる．(c) は (a) で示した配線トポロジで実際に設計した基板における観測波形で，ドライブI/OはSSTL-II Class1規格になる．

より設計できます．

PIPEインターフェースのピン配置やタイミング制約などはすべてISEを用いて設定します．ピン配置についてはISEの機能のPACE (Pinput and Area Constraints Editor) を用いて，PHYチップとの相関関係を確認しながら設定する手法が，視覚的にも分かりやすく有効です (図7)．

ユーザ制約を設定することにより，論理合成/テクノロジ・マッピング/配置配線の各プロセスに最適なインプリメンテーションを行えます．

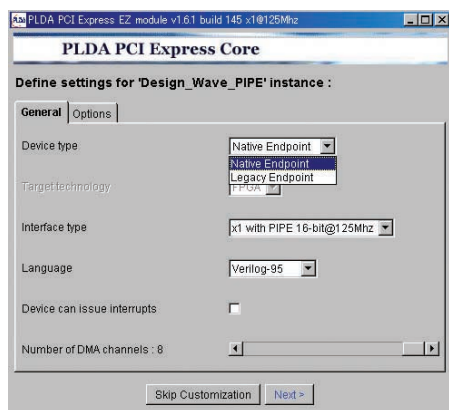



図6　ソフトIPコア設計用GUIイメージ
IPコアの各パラメータの設定や特性を，GUIを用いて設定･設計することが可能．

5 PHYチップとPIPEの今後

現在PCI-SIGは，すでに次世代PCI Expressとして5.0Gbpsのシリアル通信を行うGeneration2 (Gen2) を規格

リスト1　ラッパ・ファイルのソース・コード例
IPコアのラッパ・ファイルの記述．GUIによって設計した情報がすべてこのラッパ・ファイルで確認できる．

```
// PARAM: PRV_DEV_TYPE 0
// PARAM: PRV_TARGET_TECHNO 1
// PARAM: PRV_INTERFACE_TYPE 1
// PARAM: PRV_LANGUAGE 1
// PARAM: PRV_STR_LANGUAGE 'Verilog-95'
// PARAM: PRV_NB_DMA 8
// PARAM: PRV_DMA_CPL_TO 20
〜〜
module Design_Wave_PIPE (
    clk,
    rstn,
    srst,
    npor,
    test_mode,
    rstn_out,
〜〜
    core_inst (
      .clk (clk),
      .rstn (rstn),
      .srst (srst),
      .npor (npor),
      .test_mode (test_mode),
      .rstn_out (rstn_out),
      .npor_out (npor_out),
```

ソフトIPコアの各パラメータ宣言

FPGAデザインとの接続用IPモジュールのポート宣言

ソフトIPコアのインスタンス

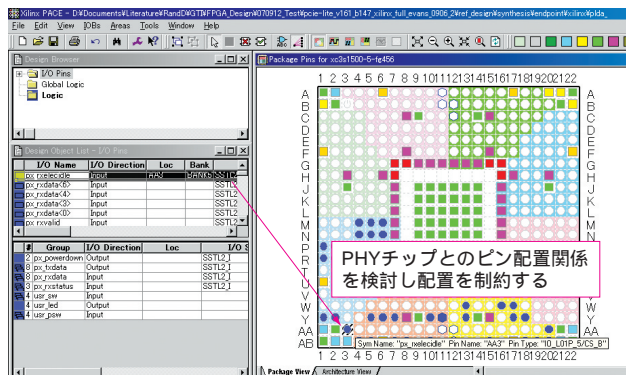



図7　PACEを用いたピン配置例

BGAパッケージのピン配置を確認しながらピンの位置を決定することが可能．PIPEのピン配置では，PHYチップのピン位置との相関位置関係を確認しながら設定することによって配線レイアウトをイメージしやすい．

化しました．現在の製品化への需要としてはRev1.1が主要となっていますが，2008年にはGen2に対応した部品がリリースされます．Gen2のPIPEについても検討が進められており，PHY Interface for the PCI Express Architecture Draft Version 1.87として，暫定的な状態ですが規定されています．

PIPE Draft Version 1.87では，Gen2対応のため，転送周波数が500MHz（5Gbpsシリアル・リンクの場合の，PIPE 8ビット・モード動作）という非常に高速なインターフェースが定義されています．また，上位互換性を保持するため，2.5Gbpsと5Gbpsのレート・コントロール・ポートや，ディエンファシス・レベルの選択ポート，シリアル信号の差動振幅のコントロール・ポートなどが追加されています（**表3**）．PCI Express Gen2システムにおいても，2チップ構成による低消費電力・低コストのソリューションはさまざまな分野で必要になります．そこにはまた新しいPIPE（PIPE2）インターフェースの構築方法と実装方法が必要になってくると考えられます．

＊　＊　＊

PCI Expressを採用したシステム設計では，どうしても2.5Gbpsの高速シリアル・インターフェースに目が向いてしまいます．しかし，この多ビットのソース・シンクロナス通信を行うPIPEインターフェースの設計にも配慮が必要です．

表3　Gen2対応PIPE（PIPE2）で追加されたコマンド信号(10)

信号名	ビット幅	方向	概　要
Rate	1	入力	リンク信号の周波数を制御
TxDeemph	1	入力	De-Emphasisレベルの制御
TxMargin［2：0］	3	入力	シリアル信号の出力電圧レベルを制御
TxSwing	1	入力	シリアル信号の出力振幅を制御

PCI Expressの規格団体であるPCI-SIGの規格認定試験では，PIPEの仕様や動作を確認することはありません．しかし，MAC層で検知された予測できないような誤動作の多くは，PIPEの高速パラレル・インターフェースのタイミング・エラーやビット落ちなどが原因です．

FPGAの遅延エレメントや位相シフトなどの機能を用いてタイミング問題を改善することも可能です．しかし，信号品質の改善や次回の設計へフィードバックするために，本稿で示したPIPEの概要を理解した上で配線仕様を考慮し，伝送線路解析を行うというアプローチを提案します．

参考・引用*文献

（1）PCI-SIG；PCI Express Base Specification Revision 1.1，March，2005.
（2）PCI-SIG；PCI Express Card Electromechanical Specification Revision 1.1，March，2005.
（3）Board Design Guidelines for PCI Express Architecture
（4）Genesys Logic；GL9714 Datasheet Revision 1.30，Feb，2007.
（5）NXP Semiconductors；PX1011A/PX1012A Product data sheet Rev.02，May，2006.
（6）Texas Instruments；XIO1100 Data Manual，June 2006.
（7）PCI-SIG；PCI Express Base Specification Revision 2.0，December，2006.
（8）JEDEC Solid State Technology Division；STUB SERIES TERMINATED LOGIC FOR 2.5 VOLTS（SSTL_2），September，1998.
（9）Intel；PHY Interface for the PCI Express Architecture Version 1.00，June，2003.
（10）Intel；PHY Interface for the PCI Express Architecture Draft Version 1.87，2006.

ふくだ・みつはる
（株）PALTEK

<筆者プロフィール>
福田光治．テクニカル・スペシャリストFAEとして，高速インターフェースや電源分野を担当．